

Ian Beavers,
Matt Felmlee
Analog Devices

时钟宽带GSPS JESD204B ADC

in 分享至LinkedIn

✉ 电子邮件

随着使用多模数转换器(ADC)的高速信号采集应用的复杂性提高，每个转换器互补时钟解决方案将决定动态范围和系统的潜在能力。随着新兴每秒一千兆样本(GSPS)ADC的采样速率和输入带宽提高，系统的分布式采样时钟的能力和性能变得至关重要。以高频测量为目标的系统解决方案，例如电气测量仪器仪表和多转换器阵列应用，将需要尖端的时钟解决方案。

选择专门的辅助时钟解决方案对防止ADC动态范围受限非常重要。根据目标输入带宽和频率，时钟抖动可能会反过来限制ADC的性能。转换器的高速JESD204B串行接口的低抖动和相位噪声、分配链路和对齐能力都是对优化系统性能极其重要的时钟属性。

支持带JESD204B输出ADC的多通道低抖动GHz时钟解决方案继续在业内激增。设计工程师问我们该如何为其GSPS ADC选择合适的时钟解决方案。下面就是答案和对与将时钟解决方案与特殊ADC配对产生的技术影响相关的部分常见讨论的分析。

第2或第3奈奎斯特频率区域对宽带GSPS ADC使用高输入频率需要较低的抖动和高速时钟。时钟抖动对ADC性能有什么影响？

由于采用GSPS ADC和直接RF采样的系统中使用高频率输入信号，因此时钟抖动对系统性能的影响越来越大。固定量的时钟抖动可能不会对具有低频输入的系统性能产生限制。随着ADC输入频率提高，相同固定量的时钟抖动会对系统的信噪比(SNR)产生影响。ADC的SNR定义为信号功率或噪声与输入ADC的总非信号功率的对数比。

在较高频率下对快速上升时间信号进行采样时，具有已知量时钟抖动的ADC采样时刻将产生更大或更模糊的采样电压增量(dV)。这是因为，高频信号的压摆率比低频信号大。图1所示为这种关系的一个示例：

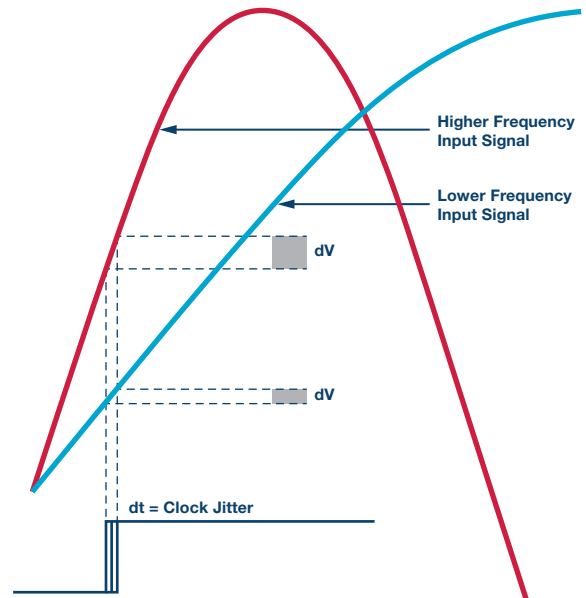


图1

ADC时钟出现固定量的时钟抖动(dt)后，更高频率的输入信号将具有一个更大的采样电压误差dV，此误差与更低频率的输入信号相关联。这会对ADC的动态范围能力产生直接影响。

峰峰值和rms (均方根即平方)抖动之间的区别是什么？

时钟信号有两类抖动会直接影响ADC的性能：随机抖动(RJ)和确定性抖动(DJ)。确定性抖动源自一个可识别的干扰信号，其幅度大小是有界的。它由所有其他无用信号特性产生，这些特性包括串扰、电磁干扰(EMI)辐射、电源噪声以及同步开关等周期性调制。确定性抖动在时钟信号上将表现为杂散信号。这些无用信号还会在ADC产生的数字频谱上表现为杂散信号。

随机抖动的大小没有界，而且是高斯抖动。它可由较不可预测的影响产生，例如温度和小型半导体工艺变化。如果ADC采样

时钟上存在足够的随机抖动，则可能提高数据转换器上的噪声频谱密度(NSD)。将每个RJ和DJ均方根的大小(RSS)相加便可以确定全部抖动对ADC采样时钟的影响。

典型时钟信号上的随机抖动大小直方图应为完全正常的高斯分布。抖动的任何附加确定性分量都将产生双峰分布。通过进行大量时序测量并确定最小和最大的抖动偏差，可测量峰峰值抖动。随着更多测量的进行，最小和最大抖动将最终继续扩大绝对峰峰值。有效的测量必须是固定的时间和测量样本数量。因此，绝对峰峰值抖动值并不是特别有用，除非是基于标准偏差已知的高斯分布。

均方根抖动是高斯曲线内一个标准偏差的值。即使被测样本大小增加，该值也几乎不会变化。这也意味着，均方根抖动值比峰峰值抖动值更有意义，并且更易测量。要使均方根抖动的大小有意义，总抖动必须是高斯分布。变形的高斯分布图表示存在确定性抖动分量。如果可能，应识别出确定性抖动分量的根本原因并将其缓和或消除。

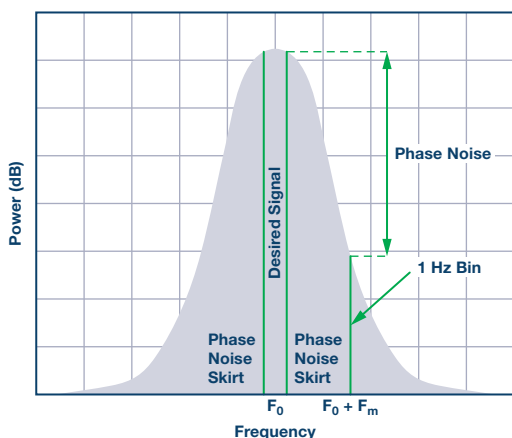


图2

尽管一个理想时钟信号的所有功率均应在单个频点内，但实际的时钟解决方案会有一些“相位噪声波裙”大小。只有随机抖动的时钟信号将形成高斯分布。任何确定性抖动都将使理想的高斯分布图变形。曲线上任意点的相位噪声功率可从 F_0 处的峰值到 $F_0 + F_m$ 处的目标频点测得。

ADC的输入时钟抖动将如何降低SNR和NSD的性能?

ADC的NSD是转换器的主要性能指标之一。NSD定义单位带宽条件下的整个噪声功率(在相应ADC采样频率(f_s)采样)。NSD是ADC的满量程信噪比(SNRFS)与任意时钟抖动下降和噪声分布于频谱的奈奎斯特带宽($f_s/2$)的函数。任意采样时间误差都将导致噪声信号功率的某些部分下降。

随着时钟抖动增加，目标采样信号功率的某些部分将以快速傅里叶变换(FFT)散布到其分立频点外，随后将变为噪声功率的一部分。这是因为时钟信号相位噪声附近的信号的采样时间不理想。图2显示了相位噪声“波裙”如何从频域中的理想目标信号泄放功率的直观示例。

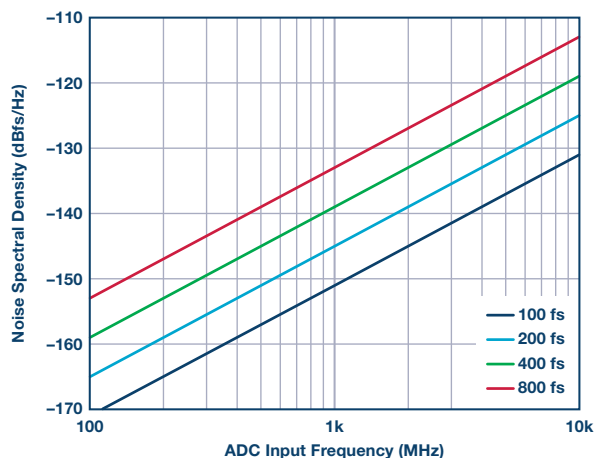


图3

以1 GSPS工作的ADC的理想NSD性能受rms编码时钟抖动限制。时钟的均方根抖动可能会限制ADC在更高输入频率下的动态范围。

要得到ADC的总SNR下降值，应计算抖动噪声功率和ADC在目标信号频率下的标准SNR的平方根。当ADC采样时钟抖动足够低时， $SNR_{adc} = SNR_{下降}$ ，因为转换器的内部孔径抖动和非线性将限制其SNR。相反地，抖动逐渐增大的采样时钟将最终变成ADC SNR性能的限制因素。这会越来越明显，因为目标信号的频率更高。所有可实现ADC的输出噪声受SNR性能限制。随着输入电平增大或减小，抖动噪声分量将相应地变化。

ADC的NSD可通过将ADC的满量程输入功率减去噪声功率的SNR下降值计算出，SNR下降值是奈奎斯特频率的函数。通过下式可得出此值。

$$NSD_{ADC} = Power_{ADC_FS} - SNR_{degradation}(dBFS) - 10\log(f_s/2)$$

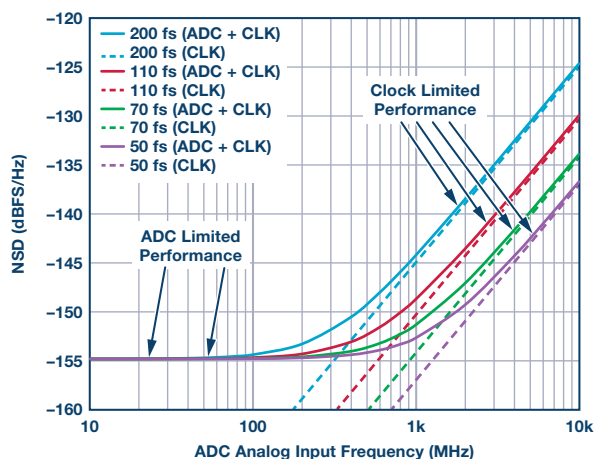


图4

此图显示了一个14位宽带转换器，该转换器在低模拟输入频率(<100 MHz)下被内部ADC量化和线性限制为-155 dBFS/Hz NSD，无论外部均方根时钟抖动是否达到200 fs。这种情况下，系统时钟抖动将根据其均方根幅度确定高模拟输入频率(>100 MHz)下的NSD性能。

例如, 图4显示了宽输入带宽具有多种时钟抖动的14位1 GSPS ADC的NSD影响。对10 MHz至100 MHz的信号进行采样时, 即使200 fs的极高时钟抖动也不会明显削弱ADC的NSD性能(-155 dBFS/Hz)。但是, 对1 GHz或2 GHz的输入信号进行采样时, 与低rms时钟抖动相比, 该时钟的200 fs均方根抖动将明显限制ADC性能。对2 GHz信号进行采样时, 200 fs的均方根抖动将导致与目标信号功率相关的ADC噪声增大12 dB (与50 fs的均方根时钟抖动相比)。

部分GSPS ADC可使快速输入时钟倍数在ADC内部分割, 以得出实际的采样时钟。在这种情况下对ADC使用更高速率的采样时钟的优势和劣势是什么?

与仅允许一个选项以1×实际采样速率输入时钟频率不同, 部分ADC允许使用更高倍率的时钟速率, 例如2×、4×或8×采样速率。然后可对ADC进行配置, 将更高频率的时钟从内部分割为将模拟信号采样到ADC的更低时钟倍数。此类配置有几个优点。

第一个优点就是系统板现可使用相同的硬件和时钟解决方案应付多个采样速率。在这种情况下, 使用较快或较慢采样速率只需要略微更改ADC的软件寄存器即可。例如, 以最高时钟速率使用ADC的电气测试和测量解决方案, 如数字采样示波器, 现在只需触摸GUI按钮, 就能为最终用户提供多种采样速率选项。如此, 还可对仅存在软件版本差异的相同电路板进行市场细分。提供此特性的两种ADC为AD9680和AD9234, 即分别具有14位和12位分辨率的1 GSPS转换器。

第二个优点是, 与使用更低的1×采样速率相比, 使用更高时钟频率的ADC性能更高。更高频率的时钟提供更快的信号压摆率, 因此本身具有更精确的边沿和更低的抖动。如前所述, 假设ADC抖动不是限制性能的因素, 则更低抖动的时钟本身可实现更低的NSD和更高的SNR。

第三个优点是, 可消除计时装置和板上走线的一个附加时钟频率。这使得系统能够以更小的时钟信号倍数工作, 并且降低了整体计时复杂性。RF时钟信号可能被用作允许较慢采样时钟使用内部分割功能的部分ADC的输入。

这种采样配置的一个潜在难题是需要确定能够在增大的频率倍数下实现低抖动的实际计时装置。由于具有更高频率、性能和通道数的时钟解决方案已经发布并应用于系统板, 此难题在某种程度上已经缓和。但是, 对更高采样速率转换器和复杂配套时钟装置的无止境需求依然没有减少。

我该如何从时钟装置获取频域相位噪声曲线并确定特定ADC采样时钟频率的时域均方根抖动?

尽管这两者描述了同样的现象, 但将时钟的相位噪声与特定抖动值相关联可能有点违反常理。虽然这两者相关联, 但工程师

需要跨越频域和时域鸿沟才能进行对应。相位噪声曲线在频域中绘制, 而时钟信号的均方根抖动分量反映为时域值。

时域中的乘法类似于频域中的卷积。时钟上的任意相位噪声波裙或相位调制杂散噪声将卷积为数字信号提供给ADC。耦合至采样输出的时钟上的噪声卷积的水平或大小如下式所示。

$$\text{Sampled Output} = \text{Clock} + 20 \log \left(\frac{F_{IN}}{F_{CLOCK}} \right)$$

图5中的频域显示了时钟信号的一个相位噪声曲线示例。X轴显示了相对于载波的频率偏移, 此例中为983 MHz的时钟。Y轴是以dBc/Hz表示的相位噪声密度(与单位为赫兹的载波功率相关的dB功率)。从此曲线应该能够清楚看出, 以时钟上的频率进一步观察相位噪声时, 将会创建相关噪底并减小逐渐增大的累积相位噪声的幅度。

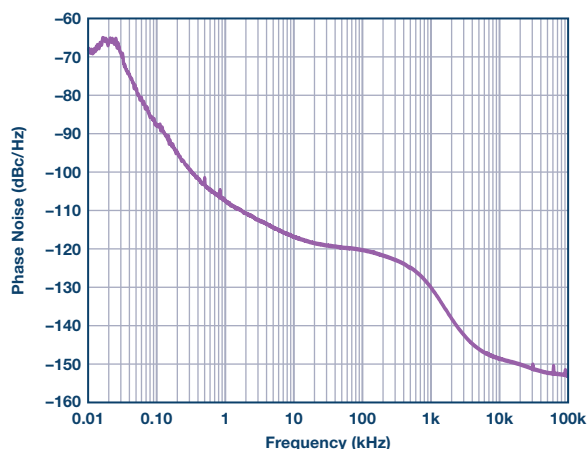


图5

此曲线显示了与频率为983 MHz的载波时钟上的频率偏移交叉的相位噪声, 其单位为dBc/Hz。通过此信息可推算出时钟抖动。

时钟信号的均方根抖动可通过相位噪声曲线计算出, 方法是将曲线下方的区域以每十倍频程分段的方式积分。尽管现在在线计算工具可从相位噪声计算出抖动, 但使用几个数学公式也可做到这一点。

通过将每个1 Hz偏移点相加来尝试计算准确的抖动不太实用。因此, 通过以端点之间的dB/十倍频程值得到每个十倍频程各自的相位噪声斜率, 可得出非常接近的均方根抖动。理想情况下, 宽带相位噪声会综合为一个较大的偏移, 该偏移等于采样频率。但是, 要确保实例计算有界, 我们可以在典型有线应用中计算均方根抖动。我们来看看图6中的相位噪声曲线, 计算983 MHz载波的10 kHz到20 MHz偏移内的抖动。

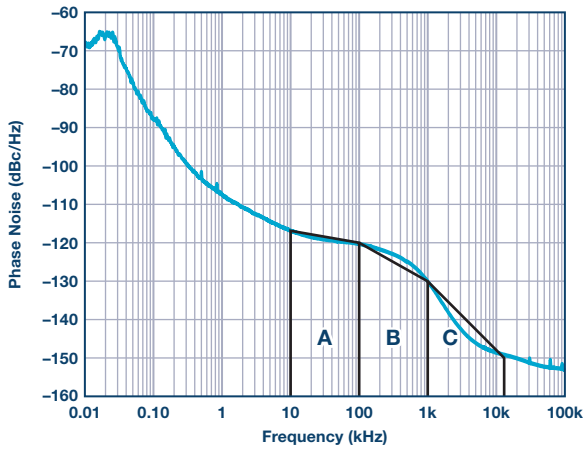


图6

可将图5中得出的相位噪声十倍频程分段曲线细分为三个分段，以计算983 MHz频率载波的10 kHz到20 MHz偏移之间的均方根抖动。

总均方根抖动是两个目标频点之间的曲线下区域的和。这种情况下，估计区域显示在标记为A、B和C的三个分段中。每个分段端点之间的相位噪声曲线斜率可轻松估计出，随后将用于进行计算。整个相位噪声频谱 $L(f)$ 上的周期抖动 J_{PER} 之间的关系如下所示：

$$RMS J_{PER} = \frac{1}{2\pi f_c} \sqrt{(\Theta^2(t))} = \frac{1}{2\pi f_c} \sqrt{2 \int_0^{\infty} 10^{\frac{L(f)}{10}} df} \quad (1)$$

$(f_2 - f_1)$ 之间的特定频段内的 $RMS J_{PER}$ 可由下式计算出：

$$RMS J_{PER} |_{f_1 to f_2} = \frac{1}{2\pi f_c} \sqrt{2 \int_{f_1}^{f_2} 10^{\frac{L(f)}{10}} df} \quad (2)$$

$L(f)$ 的频率轴为对数标尺时，可使用分段函数估计出相位噪声。因此， $L(f)$ 可改写为：

$$L(f) = \sum_{i=1}^{K-1} [a_i (\log(f) - \log(f_i)) + b_i] [U(f - f_i) - U(f - f_{i+1})] \quad (3)$$

其中， $K-1$ 是分段函数中的分段数， b 是十倍频程起始频率的相位噪声大小， a 是单位为dB/十倍频程的估计斜率， $U(f)$ 是阶梯函数。

如果我们将公式3中的 $L(f)$ 代入公式2，便可以得到：

$$RMS J_{PER} = \frac{1}{2\pi f_c} \sqrt{2 \sum_{i=1}^{K-1} 10^{\frac{b_i}{10}} f_i^{-\frac{a_i}{10}} \int_{f_i}^{f_{i+1}} f^{\frac{a_i}{10}} df} = \frac{1}{2\pi f_c} \sqrt{2 \sum_{i=1}^{K-1} 10^{\frac{b_i}{10}} f_i^{-\frac{a_i}{10}} \left(\frac{a_i}{10} + 1 \right)^{-1} [f_{i+1}^{\frac{a_i}{10} + 1} - f_i^{\frac{a_i}{10} + 1}]} \quad (4)$$

然后便可使用图6曲线的每个分段的值计算出均方根抖动，其中 $f_c = 983 \text{ MHz}$ ：

A: $a = -3.44 \text{ dB/十倍频程}$ ，起始频率为 $f = 10 \text{ kHz}$ 、 $b = -116.91 \text{ dBc/Hz}$

B: $a = -9.75 \text{ dB/十倍频程}$ ，起始频率为 $f = 100 \text{ kHz}$ 、 $b = -120.35 \text{ dBc/Hz}$

C: $a = -18.58 \text{ dB/十倍频程}$ ，起始频率为 $f = 1 \text{ MHz}$ 、 $b = -130.1 \text{ dBc/Hz}$

$RMS J_{PER} = 151 \text{ fs}$

最新的GSPS ADC使用JESD204B串行输出代替LVDS输出的多路复用器组。时钟解决方案还能如何使用JESD204B将系统内的多个ADC对齐到单个样本？

多通道低抖动GHz时钟解决方案可将系统基准时序信号与称为SYSREF的信号在JESD204B规格内定义的相应时钟输出配对。SYSREF信号是系统内使用的JESD204B链路的绝对时序基准信号。多个仪器、传感器阵列和雷达系统都需要将多个同步ADC (2、4、8、16... 100s)的时间对齐到尽可能少的样本范围内。对于此类应用，时钟解决方案的时序灵活性对去偏斜和对齐SYSREF信号到每个相应的ADC时钟非常重要。

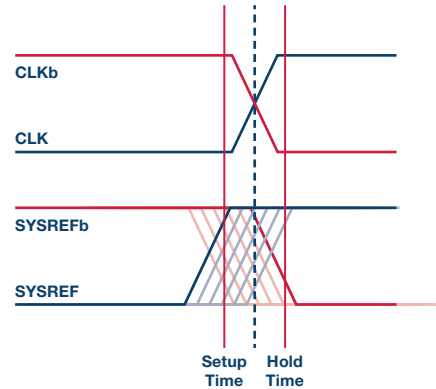


图7

多时钟输出配对在与彼此相关的相位及其关联的辅助SYSREF信号中可能会偏斜。粗调和精调时序可使时钟和SYSREF在一系列ADC中同步。

具有16个ADC的系统可能需要四个独立的采集板，每块板使用四个ADC，并且通过电气背板直接连接在一起。根据其相对于彼此的空间位置和走线之间的交点，每个ADC可在不同的时间看到关联的采样时钟边沿时刻。

在某些情况下，时钟和关联SYSREF需要对齐到各ADC的同一时间点。在其他系统中，时钟相位需要刻意不对齐，以考虑一系列ADC之间的输入信号相位差异。对于两个或四个ADC的交叉，时钟可能需要颠倒或针对特定 90° 增量调整相位。无论如何，JESD204B时钟解决方案均可在每个ADC时钟和SYSREF配对之间提供独立的偏斜能力，以发挥采集系统的作用。

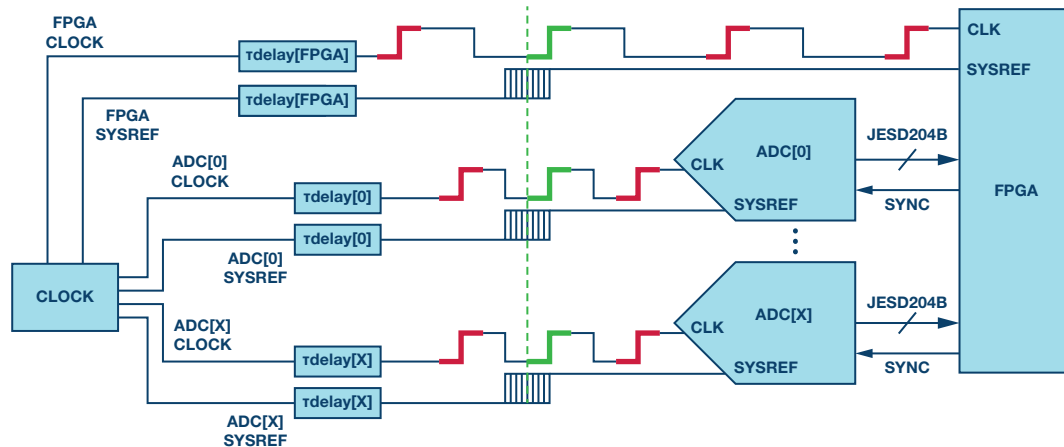


图8

对于JESD204B ADC和DAC，新的时钟芯片解决方案能够将多个输出对齐到一个单次或周期性SYSREF信号。此功能可消除由ADC采集时间和时钟源之间的空间时钟路由延迟产生的传播时间差异。

GPS ADC提供哪些时钟解决方案?

GHz时钟解决方案的相位噪声或时域抖动是为GPS ADC选择时钟源时考虑的主要性能因素。对于需要大量ADC的采集系统，最佳的时钟解决方案还需要提供大量输出通道以实现其各自的编码速率。一个次要性能因素是在JESD204B链路内使用系统基准参数时的同步能力，此能力可进一步增强时钟系统的各项功能。

AD9525提供七个均方根抖动仅为50 fs的3.3 GHz输出时钟配对，以及在JESD204B接口的框架内部可用作SYSREF专用同步输出。AD9528不仅提供七个1 GHz输出时钟配对，而且提供辅助SYSREF信号，这些信号的每个时钟配对均可去偏斜，以在单个采样对齐脉冲内对齐相应的ADC。HMC7044是一款高性能的3 GHz 14输出抖动衰减器，附带JESD204B SYSREF支持。

结论

最新高带宽和宽带ADC的编码时钟相位噪声和抖动的幅度需要逐渐减小。尽管可选用许多时钟解决方案与这些高频ADC一同使用，但那些目标带宽具有极低相位噪声并且能够同步许多ADC的解决方案才是最佳的解决方案。

典型时钟解决方案的相位噪声曲线可转换成时域，以确定均方根抖动和对ADC动态范围的潜在影响。高级时钟解决方案的另一个优点具有能够在JESD204B框架内对时钟信号配对去偏斜的独特SYSREF。为GPS ADC选择的关键辅助时钟元件可能会维持或降低ADC的性能，具体取决于目标采集信号频率。

参考文献

Brad Brannon, AN-756应用笔记“采样系统以及时钟相位噪声和抖动的影响”。ADI公司，2004。

Brad Brannon和Allen Barlow, AN-501应用笔记“Apertu孔径不确定度和ADC系统性能”。ADI公司，2006。

作者简介

Ian Beavers是ADI公司(美国北卡罗来纳州格林斯博罗)高速模数转换器团队的应用工程师。他于1999年加入ADI公司，拥有超过19年的半导体行业从业经验。Ian于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校M.B.A.学位。他是[中文技术论坛](#)高速ADC支持社区的会员。您可随时在ADI公司[中文技术论坛](#)在线技术支持社区将问题发送给IanB。

Matt Felmlee是ADI公司(北卡罗来纳州格林斯博罗)通信和汽车业务组的一名系统应用工程师。他于2008年加入ADI公司，拥有超过20年的RF系统设计经验。Matt拥有宾夕法尼亚州立大学电气工程学士学位。

在线支持社区

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

ezchina.analog.com



全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编: 100085
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. TA13340sc-0-4/16

analog.com/cn

